

PAT-NO: JP410256300A
DOCUMENT-IDENTIFIER: JP 10256300 A
TITLE: SEMICONDUCTOR DEVICE
PUBN-DATE: September 25, 1998

INVENTOR-INFORMATION:
NAME
INOUE, TOMOHIKO

ASSIGNEE-INFORMATION:
NAME COUNTRY
HIROSHIMA NIPPON DENKI KK N/A

APPL-NO: JP09051633
APPL-DATE: March 6, 1997

INT-CL (IPC): H01L021/60, H01L027/04 , H01L021/822 , H01L029/78

ABSTRACT:

PROBLEM TO BE SOLVED: To provide a semiconductor device in which projecting and recessing parts can be formed on the surface of a wire-bonding electrode with a simple method and which has a wire-bonding electrode part which is resistant against a bonding shock by selectively forming element isolating insulating films at the lowermost part of the wire-bonding electrode.

SOLUTION: An element isolating insulating films 2a are selectively formed at the lowermost part of a wire-bonding electrode 5. Thus, a semiconductor substrate 1 and an element isolating insulating films 2a, constituted of materials different from the semiconductor substrate 1, constitute the lowermost part. Thus, absorption force for absorbing the bonding shock added

at the time of wire bonding becomes large, so that the semiconductor substrate 1 is prevented from being damaged or the occurrence of a crack in the semiconductor substrate 1. Consequently, the semiconductor device in which the projecting and recessing parts can be formed on the surface of the wire-bonding electrode with a simple method and having the wire-bonding electrode part which is resistant against the bonding shock can be provided.

COPYRIGHT: (C)1998,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-256300

(43) 公開日 平成10年(1998) 9月25日

(51) Int.Cl.⁸

H 0 1 L 21/60
27/04
21/822
29/78

識別記号

3 0 1

F I

H 0 1 L 21/60 3 0 1 N
27/04 E
29/78 3 0 1 X

審査請求 有 請求項の数 5 O L (全 6 頁)

(21) 出願番号 特願平9-51633

(22) 出願日 平成9年(1997) 3月6日

(71) 出願人 392018285

広島日本電気株式会社

広島県東広島市八本松町大字吉川5690番

(72) 発明者 井上 朋彦

広島県東広島市八本松町吉川5690 広島日本電気株式会社内

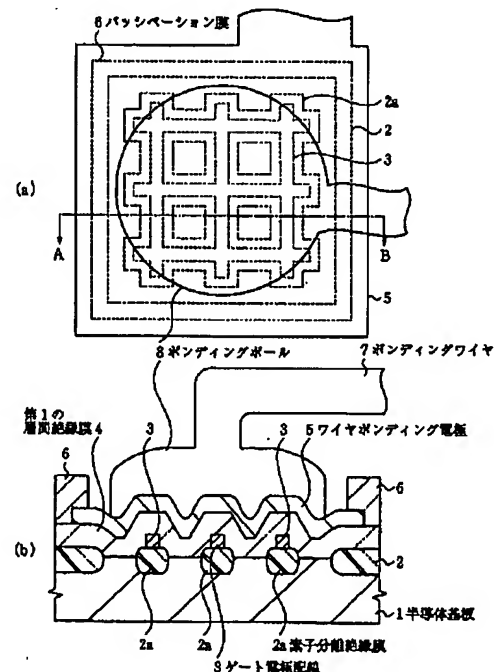
(74) 代理人 弁理士 京本 直樹 (外2名)

(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】簡便な方法でワイヤボンディング電極の表面に凹凸を形成し、接着力およびボンディングショックに強いワイヤボンディング電極部を有する半導体装置が形成する。

【解決手段】半導体基板上に形成された絶縁膜層と、ゲート電極配線層と、前記絶縁膜層およびゲート電極配線層を被覆する層間絶縁膜上に形成されたワイヤボンディング電極とを備えた半導体装置において、半導体基板表面に選択的に形成された凸状の素子分離絶縁膜と前記素子分離絶縁膜の凸状部に形成されたゲート電極配線層とが前記ワイヤボンディング電極直下に配置される。また、層間絶縁膜とワイヤボンディング電極との間に接着力の大きな金属層が挟在するように形成する。



【特許請求の範囲】

【請求項1】 半導体基板上に形成された絶縁膜層と、ゲート電極配線層と、前記絶縁膜層およびゲート電極配線層を被覆する層間絶縁膜上に形成されたワイヤボンディング電極とを備えた半導体装置において、前記半導体基板表面に選択的に形成された凸状の素子分離絶縁膜と前記素子分離絶縁膜の凸状部に形成されたゲート電極配線層とが前記ワイヤボンディング電極直下に配置されていることを特徴とする半導体装置。

【請求項2】 前記ゲート電極配線層とワイヤボンディング電極との間に、層間絶縁膜を介して互いに絶縁されるアルミ配線層がパターンニングされて形成されていることを特徴とする請求項1記載の半導体装置。

【請求項3】 前記層間絶縁膜とワイヤボンディング電極との間に、前記層間絶縁膜およびワイヤボンディング電極との接着力の大きな金属材料が介在していることを特徴とする請求項1または請求項2記載の半導体装置。

【請求項4】 前記ワイヤボンディング電極がアルミ配線層で構成されていることを特徴とする請求項1、請求項2または請求項3記載の半導体装置。

【請求項5】 前記金属材料がタングステンシリサイドであることを特徴とする請求項1、請求項2、請求項3または請求項4記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体装置に関し、特に半導体チップのワイヤボンディング電極部の構造に関する。

【0002】

【従来の技術】従来、半導体チップの周辺に形成され、ボンディングワイヤに接続されることになるワイヤボンディング電極の表面を凹凸にすることはよく知られている。以下、このような技術について図4を参照して説明する。ここで、図4は特開平4-348047号公報に記載されているところのワイヤボンディング電極部の断面図である。

【0003】図において、21は半導体基板、22はフィールド酸化膜としての第1の絶縁膜、23はゲート電極配線、24は第1のアルミ電極、25は層間絶縁膜としての第2の絶縁膜、26は第2のアルミ電極、27はパッシベーション膜、28はボンディングボール、29はボンディングワイヤである。ここで、第2のアルミ配線26がワイヤボンディング電極となる。

【0004】つぎに、このような構造のワイヤボンディング電極部の形成方法について説明する。まず、半導体基板21の熱酸化等で第1の絶縁膜22を形成する。次に、半導体素子である絶縁ゲート電界効果トランジスタ（以下、MOSTランジスタと称する）のゲート電極形成と同一の工程で、第1の絶縁膜22上にゲート電極配線23を形成する。

【0005】次に、半導体素子間を結線するためのアルミ配線形成工程で、第1のアルミ配線24を上記ゲート電極配線23を被覆するように形成する。そして、配線間の層間絶縁膜を形成する工程で、開口部を有する第2の絶縁膜25を形成する。

【0006】次に、上記第1のアルミ電極24を被覆するように第2のアルミ電極26を形成する。ここで、上記のゲート電極配線23パターンの段差により、第1のアルミ配線24および第2のアルミ配線26表面に凹凸が形成されることになる。

【0007】次に、パッシベーション膜27を形成し、ワイヤボンディング電極部を開口する。そして、凹凸を有する第2のアルミ配線26にボンディングボール28で接続するようになるボンディングワイヤ29を形成する。

【0008】ここで、第2のアルミ配線26の表面にボンディングワイヤ29をボンディングボール28を通して接合させる場合、この接合部は従来に比べて広い接触面積を有するようになる。このために、第2のアルミ配線26とボンディングボール28との接着力は向上するようになる。

【0009】同様にワイヤボンディング電極の表面に凹凸を形成しボンディングボールとの接着力を向上させる方法が、特開平4-7446号公報あるいは特開平4-152678号公報に示されている。ここで、前者ではワイヤボンディング電極下に形成された配線層の段差で上記の凹凸が形成されるようになる。なお、この配線層は平坦な絶縁膜上に形成されるものである。また、後者では半導体基板表面に形成された凹凸上にワイヤボンディング電極が形成され、その表面が凹凸形状にされるようになる。

【0010】

【発明が解決しようとする課題】通常、ワイヤボンディング電極にボンディングワイヤを圧着して接合させる場合すなわちワイヤボンディング時には、大きな力がワイヤボンディング電極部の領域あるいは半導体基板に加わるようになる（以下、ボンディングショックと称する）。

【0011】しかし、上記従来の技術のうち特開平4-348047号公報および特開平4-7446号公報に記載されている技術では、ワイヤボンディング電極部において、最下層となる第1の絶縁膜表面が完全な平坦面になっている。このために、上記公開公報に示されている技術では、ワイヤボンディング時に加わるボンディングショックを吸収する吸収力が小さく、半導体基板が破損したり半導体基板にクラックが生じるようになる。

【0012】また、特開平4-152678号公報に記載されている技術では、半導体基板表面を凹凸形状にするために、予め半導体基板をエッチングすることが必要になる。このために、この従来の技術の場合では、半導

体装置の製造工程が増加しその製造コストが上昇するようになる。

【0013】本発明の目的は、簡便な方法でワイヤボンディング電極の表面に凹凸を形成すると共に、ボンディングショックに強いワイヤボンディング電極部を有する半導体装置を提供することにある。

【0014】

【課題を解決するための手段】このために、本発明の半導体装置では、半導体基板上に形成された絶縁膜層と、ゲート電極配線層と、前記絶縁膜層およびゲート電極配線層を被覆する層間絶縁膜上に形成されたワイヤボンディング電極とを備えた半導体装置において、半導体基板表面に選択的に形成された凸状の素子分離絶縁膜と前記素子分離絶縁膜の凸状部に形成されたゲート電極配線層とが前記ワイヤボンディング電極直下に配置される。

【0015】ここで、前記ゲート電極配線層とワイヤボンディング電極との間には、層間絶縁膜を介して互いに絶縁されるアルミ配線層がパターンニングされて形成されている。

【0016】あるいは、前記層間絶縁膜とワイヤボンディング電極との間には、前記層間絶縁膜およびワイヤボンディング電極との接着力の大きな金属材料が介在するように形成されている。

【0017】ここで、前記ワイヤボンディング電極はアルミ配線層で構成されている。あるいは、前記金属材料はタングステンシリサイドで構成されている。

【0018】

【発明の実施の形態】次に、本発明の第1の実施の形態を図1および図2に基づいて説明する。図1は本発明のワイヤボンディング電極部の平面図と断面図である。図1(b)は図1(a)に記したA-Bで切断した断面図となっている。また、同様に図2は別のワイヤボンディング電極部の断面図である。ここで、図1は半導体装置の配線層が1層で形成される場合であり、図2は2層で形成される場合を示す。

【0019】図1において、1は半導体基板、2および2aは素子分離絶縁膜、3はゲート電極配線、4は第1の層間絶縁膜、5はワイヤボンディング電極、6はパッシベーション膜、7はボンディングボール、8はボンディングワイヤである。

【0020】ここで、図1(a)に示すように、素子分離絶縁膜2aは格子状に形成されるとともに、図1(b)に示すように、半導体基板1の表面から出っ張るように形成される。

【0021】以下、このような構造のワイヤボンディング電極部の形成方法について説明する。

【0022】まず、半導体基板1の表面部に選択的に素子分離絶縁膜2および2aを形成する。ここで、この素子分離絶縁膜2および2aは、半導体基板1表面の選択的な熱酸化で形成される。例えばLOCOS(LoCa

1 Oxidation of Silicon)法で形成される。このために素子分離絶縁膜2および2aの上部は半導体基板の1の表面から300nm程度に出っ張るように形成される。また、図1(a)に示すように、この素子分離絶縁膜2aのパターンの平面形状は格子状になるように形成される。

【0023】次に、従来の技術で説明したように、CMOSトランジスタのゲート電極形成と同一の工程で、この素子分離絶縁膜2a上にゲート電極配線3を形成する。このゲート電極配線3も、素子分離絶縁膜2aと同様に格子状に形成されることになる。ここで、ゲート電極配線3の膜厚は300nm程度である。

【0024】次に、全体を被覆するように、第1の層間絶縁膜4が形成する。ここで、この第1の層間絶縁膜4はステップカバレッジのよい化学気相成長(CVD)法で堆積される。そして、表面が凹凸形状となるワイヤボンディング電極5をこの第1の層間絶縁膜4上に形成する。このワイヤボンディング電極5は、半導体素子間を接続する第1のアルミ配線層の形成と同一工程で形成され、その膜厚は1μm程度である。

【0025】次に、パッシベーション膜6をSiON膜等で形成する。そして、ワイヤボンディング電極5上の領域を開口する。最後に、このワイヤボンディング電極5表面にボンディングワイヤ7をボンディングボール8を通して接合させる。

【0026】この場合には、ワイヤボンディング電極5の表面の凹凸は、素子分離絶縁膜2aの出っ張り、ゲート電極配線3の段差で形成されるようになる。このために特開平4-348047号公報および特開平4-7446号公報の場合よりボンディングボール8の接合部はさらに広い接触面積を有するようになる。そして、ワイヤボンディング電極5とボンディングボール8との接着力は向上するようになる。

【0027】次に、半導体素子が2層のアルミ配線層で結線される場合を説明する。図2において、1は半導体基板、2および2aは素子分離絶縁膜、3はゲート電極配線、4は第1の層間絶縁膜、9は第1のアルミ配線層、10は第2の層間絶縁膜、5はワイヤボンディング電極、6はパッシベーション膜、7はボンディングボール、8はボンディングワイヤである。ここで、ワイヤボンディング電極5は第2のアルミ配線層で構成される。

【0028】なお、図2の平面図は図1(a)と同一である。すなわち、素子分離絶縁膜2aおよびゲート電極配線3は格子状に形成される。

【0029】このような構造のワイヤボンディング電極部の形成方法は、ほぼ図1で説明した方法と同じである。この場合では、2層の配線層が形成される。すなわち、第1の層間絶縁膜4上にパターンニングされた第1のアルミ配線層9が形成される。ここで、この第1のアルミ配線層9の膜厚は500nm程度に設定される。そし

て、この第1のアルミ配線層9を被覆するように第2の層間絶縁膜10が形成される。さらに、この第2の層間絶縁膜10上にワイヤボンディング電極5が形成されることになる。ここで、ワイヤボンディング電極5は、半導体素子を接続する第2のアルミ配線層の形成と同一工程で形成されることになる。その他の形成工程は全く図1で説明したのと同一である。

【0030】この場合には、ワイヤボンディング電極5の表面の凹凸は、素子分離絶縁膜2aの出っ張り、ゲート電極配線3の段差と、第1のアルミ配線層9の段差とで形成されるようになる。このために図1の場合よりボンディングボール8の接合部はさらに広い接触面積を有するようになる。そして、ワイヤボンディング電極5とボンディングボール8との接着力はさらに向上するようになる。

【0031】上記のような実施の形態では、ワイヤボンディング電極5の最下部には素子分離絶縁膜2aが選択的に形成される。このようにして、半導体基板1と、半導体基板1とは異種の材料で構成された素子分離絶縁膜2aと、が最下部を構成するようになる。このために、ワイヤボンディング時に加わるボンディングショックを吸収する吸収力が大きくなり、半導体基板が破損したり半導体基板にクラックが生じるようなことは無くなる。

【0032】次に、本発明の第2の実施の形態を図3に基づいて説明する。図3は、ワイヤボンディング電極部の別の平面図とその断面図である。ここで、図3(b)は図3(a)に記したC-Dで切断した断面図となっている。なお、図1および図2と同一のものは同一の符号で示されている。

【0033】図3において、1は半導体基板、2および2aは素子分離絶縁膜、3はゲート電極配線、4は第1の層間絶縁膜、11はWSi配線層、10aは第2の層間絶縁膜、5はワイヤボンディング電極、6はパッシベーション膜、7はボンディングボール、8はボンディングワイヤである。ここで、WSi配線層11とワイヤボンディング電極5とは接着して形成される。

【0034】図3(a)に示すように、第1の実施の形態と同様、素子分離絶縁膜2aは格子状に形成されるとともに、図3(b)に示すように、半導体基板1の表面から出っ張るように形成される。なお、ワイヤボンディング電極5は第1のアルミ配線層あるいは第2のアルミ配線層で形成される。

【0035】以下、このような構造のワイヤボンディング電極部の形成方法について説明する。ここで、図1と同一のところは簡略される。

【0036】半導体基板1の表面部に選択的に素子分離絶縁膜2および2aを形成する。ここで、素子分離絶縁膜2および2aの上部は半導体基板1の表面から200nm程度に出っ張るように形成される。また、図3(a)に示すように、この素子分離絶縁膜2aのパター

ンの平面形状は格子状になるように形成される。

【0037】次に、CMOSトランジスタのゲート電極形成と同一の工程で、この素子分離絶縁膜2a上にゲート電極配線3を形成する。このゲート電極配線3も、素子分離絶縁膜2aと同様に格子状に形成されることになる。ここで、ゲート電極配線3の膜厚は400nm程度である。

【0038】次に、全体を被覆するように、第1の層間絶縁膜4が形成する。そして、表面が凹凸形状となるWSi配線層11をこの第1の層間絶縁膜4上に形成する。このWSi配線層11は、例えば半導体メモリのビット線の形成と同一工程で形成され、その膜厚は400nm程度である。

【0039】次に、このWSi配線層11に接着するようにワイヤボンディング電極5を形成する。このワイヤボンディング電極5は、半導体素子を接続する第1のアルミ配線層あるいは第2のアルミ配線層等で形成される。

【0040】次に、パッシベーション膜6を形成し、ワイヤボンディング電極5上の領域を開く。そして、このワイヤボンディング電極5表面にボンディングワイヤ7をボンディングボール8を通して接合させる。

【0041】この場合には、アルミ配線層で構成されるワイヤボンディング電極5はWSi配線層11と接着して形成される。このWSi配線層11とワイヤボンディング電極5との接着性およびWSi配線層11と第1の層間絶縁膜との接着性は共に非常に高い。このために、層間絶縁膜上にアルミ配線層を形成する場合より、ワイヤボンディング電極5の接着強度が大幅に向上するようになる。

【0042】このために、第2の実施の形態では、ワイヤボンディング時に加わるボンディングショックを吸収する吸収力がさらに大きくなり、半導体基板が破損したり半導体基板にクラックが生じるようなことは皆無になる。

【0043】

【発明の効果】以上に説明したように、本発明の半導体装置では、ワイヤボンディング電極の最下部に、素子分離絶縁膜が選択的に形成される。このようにして、半導体基板と、半導体基板とは異種の材料で構成された素子分離絶縁膜と、が最下部を構成するようになる。

【0044】このために、先述したようにワイヤボンディング時に加わるボンディングショックを吸収する吸収力が大きくなり、半導体基板が破損したり半導体基板にクラックが生じるようなことは無くなる。

【0045】また、本発明では、ワイヤボンディング電極の表面の凹凸は、素子分離絶縁膜出っ張り、ゲート電極配線3の段差と、第1のアルミ配線層9の段差等で形成されるようになる。

【0046】このために、ワイヤボンディング電極とボ

7

ンディングボール接合部の接触面積がより広くなるように形成できる。そして、ワイヤボンディング電極とボンディングボールとの接着力がさらに向上するようになる。

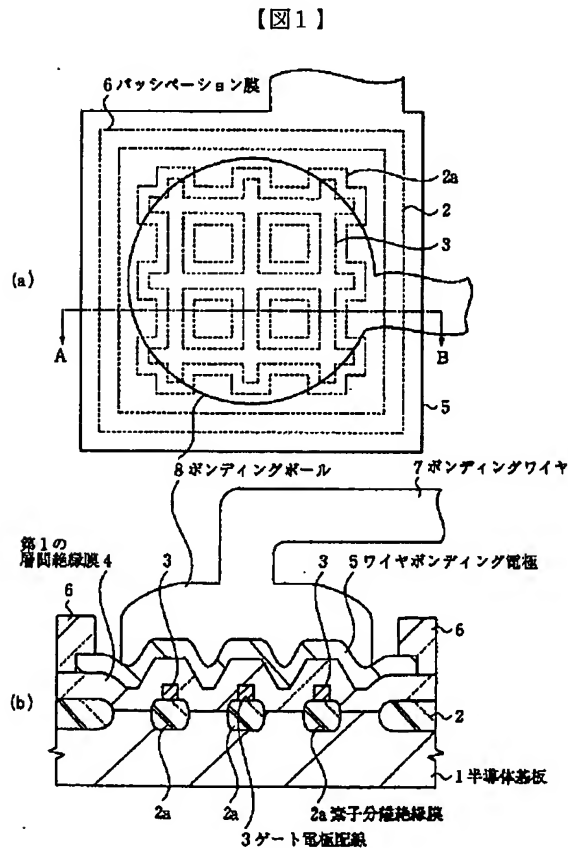
【0047】また、ワイヤボンディング電極が接着性の高い他の配線層と接着して形成される。ここで、他の配線層は層間絶縁膜との接着性が高い材料が選ばれる。

【0048】このために、層間絶縁膜上にアルミ配線層を形成する場合より、ワイヤボンディング電極5の接着強度が大幅に向上するようになる。また、この場合には、ワイヤボンディング時に加わるボンディングショックを吸収する吸収力が大きくなり、半導体基板が破損したり半導体基板にクラックが生じるようなことは皆無になる。

【0049】以上のようにして、簡便な方法でワイヤボンディング電極の表面に凹凸が形成され、接着力およびボンディングショックに強いワイヤボンディング電極部を有する半導体装置が容易に形成できるようになる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態を説明するためのワイヤボンディング電極部の平面図と断面図である。



8

【図2】上記実施の形態での別のワイヤボンディング電極部の断面図である。

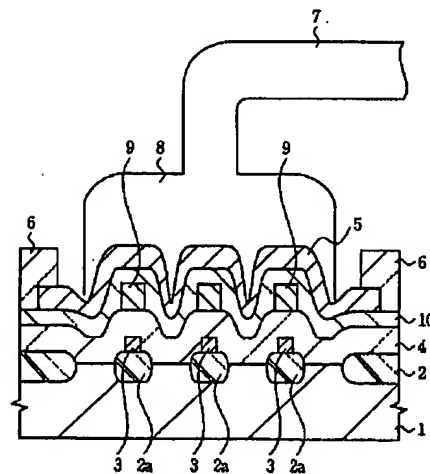
【図3】本発明の第2の実施の形態を説明するためのワイヤボンディング電極部の平面図と断面図である。

【図4】従来の技術を説明するためのワイヤボンディング電極部の断面図である。

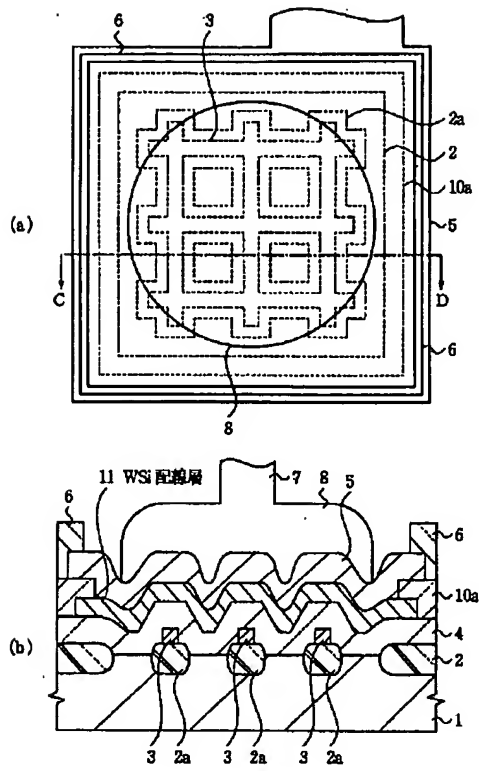
【符号の説明】

- 1, 21 半導体基板
- 2, 2a 素子分離絶縁膜
- 3, 23 ゲート電極配線
- 4 第1の層間絶縁膜
- 5 ワイヤボンディング電極
- 6, 27 パッシベーション膜
- 7, 29 ボンディングワイヤ
- 8, 28 ボンディングボール
- 10, 10a 第2の層間絶縁膜
- 11 WSi配線層
- 22 第1の絶縁膜
- 24 第1のアルミ電極
- 25 第2の絶縁膜
- 26 第2のアルミ電極

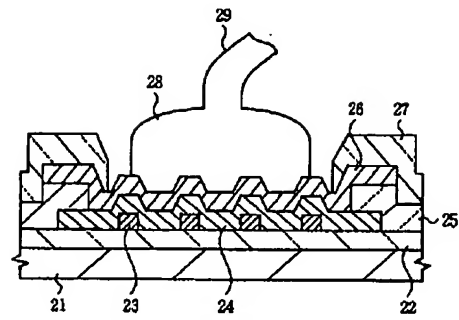
【図2】



【図3】



【図4】



* NOTICES *

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] Especially this invention relates to the structure of the wirebonding polar zone of a semiconductor chip about a semiconductor device.

[0002]

[Description of the Prior Art] Conventionally, it is formed around a semiconductor chip and making into irregularity the front face of the wirebonding electrode which will be connected to a bonding wire is known well. Hereafter, such a technique is explained with reference to drawing 4. Here, drawing 4 is the sectional view of the wirebonding polar zone indicated by JP,4-348047,A.

[0003] drawing -- setting -- 21 -- a semi-conductor substrate and 22 -- the 1st insulator layer as field oxide, and 23 -- for the 2nd insulator layer as an interlayer insulation film, and 26, as for the passivation film and 28, the 2nd aluminum electrode and 27 are [gate electrode wiring and 24 / the 1st aluminum electrode and 25 / a bonding ball and 29] bonding wires. Here, the 2nd aluminum wiring 26 serves as a wirebonding electrode.

[0004] Below, the formation approach of the wirebonding polar zone of such structure is explained. First, the 1st insulator layer 22 is formed by thermal oxidation of the semi-conductor substrate 21 etc. Next, the gate electrode wiring 23 is formed on the 1st insulator layer 22 at the same process as gate electrode formation of the insulated-gate field-effect transistor (an MOS transistor is called hereafter) which is a semiconductor device.

[0005] Next, with the aluminum wiring formation process for connecting between semiconductor devices, the 1st aluminum wiring 24 is formed so that the above-mentioned gate electrode wiring 23 may be covered. And the 2nd insulator layer 25 which has opening is formed at the process which forms the interlayer insulation film during wiring.

[0006] Next, the 2nd aluminum electrode 26 is formed so that the aluminum electrode 24 of the above 1st may be covered. Here, irregularity will be formed in 1st aluminum wiring 24 and aluminum wiring of ** 2nd 26 front face of the level difference of the gate electrode wiring 23 above-mentioned pattern.

[0007] Next, the passivation film 27 is formed and opening of the wirebonding polar zone is carried out. And the bonding wire 29 which it comes to connect to the 2nd aluminum wiring 26 which has irregularity with the bonding ball 28 is formed.

[0008] Here, when joining a bonding wire 29 to the front face of the 2nd aluminum wiring 26 through the bonding ball 28, this joint comes to have a large touch area compared with the former. For this reason, the adhesive strength of the 2nd the aluminum wiring 26 and bonding ball 28 comes to improve.

[0009] The method of forming irregularity in the front face of a wirebonding electrode similarly, and raising adhesive strength with a bonding ball is shown in JP,4-7446,A or JP,4-152678,A. Here, at the former, the above-mentioned irregularity comes to be formed with the level difference of the wiring layer formed in the bottom of a wirebonding electrode. In addition, this wiring layer is formed on a flat insulator layer. Moreover, in the latter, a wirebonding electrode is formed on the irregularity formed in the semi-conductor substrate front face, and the front face becomes made a concavo-convex

configuration.

[0010]

[Problem(s) to be Solved by the Invention] Usually, when sticking a bonding wire to a wirebonding electrode by pressure and making it join to it, at the time of wirebonding, the big force comes (it is hereafter called a bonding shock) to join the field or semi-conductor substrate of the wirebonding polar zone.

[0011] However, with the technique indicated by JP,4-348047,A and JP,4-7446,A among the above-mentioned Prior arts, the 1st insulator layer front face used as the lowest layer is a perfect flat side in the wirebonding polar zone. For this reason, with the technique shown in the above-mentioned open official report, the absorptive power which absorbs the bonding shock added at the time of wirebonding is small, a semi-conductor substrate is damaged or a crack comes to arise in a semi-conductor substrate.

[0012] Moreover, with the technique indicated by JP,4-152678,A, in order to make a semi-conductor substrate front face into a concavo-convex configuration, it is necessary to etch a semi-conductor substrate beforehand. For this reason, in the case of this Prior art, the production process of a semiconductor device increases and that manufacturing cost comes to rise.

[0013] The object of this invention is to offer the semiconductor device which has the wirebonding polar zone strong against a bonding shock while forming irregularity in the front face of a wirebonding electrode by the simple approach.

[0014]

[Means for Solving the Problem] For this reason, in the semiconductor device equipped with the wirebonding electrode formed on the interlayer insulation film which covers with the semiconductor device of this invention the insulator layer layer formed on the semi-conductor substrate, a gate electrode wiring layer, and said insulator layer layer and a gate electrode wiring layer, the gate electrode wiring layer formed in the height of the convex isolation insulator layer selectively formed in the semi-conductor substrate front face and said isolation insulator layer is arranged directly under [said] a wirebonding electrode.

[0015] Here, between said gate electrode wiring layers and wirebonding electrodes, patterning of the aluminum wiring layer each other insulated through an interlayer insulation film is carried out, and it is formed in it.

[0016] Or between said interlayer insulation films and wirebonding electrodes, it is formed so that the big metallic material of adhesive strength with said interlayer insulation film and a wirebonding electrode may intervene.

[0017] Here, said wirebonding electrode consists of aluminum wiring layers. Or said metallic material consists of tungsten silicide.

[0018]

[Embodiment of the Invention] Next, the gestalt of operation of the 1st of this invention is explained based on drawing 1 and drawing 2. Drawing 1 is the top view and sectional view of the wirebonding polar zone of this invention. Drawing 1 R> 1 (b) serves as a sectional view cut by A-B described in drawing 1 (a). Moreover, drawing 2 is the sectional view of another wirebonding polar zone similarly. Here, drawing 1 is the case where the wiring layer of a semiconductor device is formed by one layer, and drawing 2 shows the case where it is formed by two-layer.

[0019] drawing 1 -- setting -- 1 -- a semi-conductor substrate, and 2 and 2a -- for the 1st interlayer insulation film and 5, as for the passivation film and 7, a wirebonding electrode and 6 are [an isolation insulator layer and 3 / gate electrode wiring and 4 / a bonding ball and 8] bonding wires.

[0020] Here, as shown in drawing 1 (a), isolation insulator layer 2a is formed so that it may be shown in drawing 1 (b) and may protrude from the front face of the semi-conductor substrate 1 like, while being formed in the shape of a grid.

[0021] Hereafter, the formation approach of the wirebonding polar zone of such structure is explained.

[0022] First, the isolation insulator layers 2 and 2a are selectively formed in the surface section of the semi-conductor substrate 1. Here, these isolation insulator layers 2 and 2a are formed by alternative thermal oxidation of semi-conductor substrate 1 front face. for example, LOCOS (Local Oxidation of

Silicon) -- it is formed by law. For this reason, the upper part of the isolation insulator layers 2 and 2a is formed so that it may protrude in about 300nm from the front face of 1 of a semi-conductor substrate. Moreover, as shown in drawing 1 (a), the flat-surface configuration of the pattern of this isolation insulator layer 2a is formed so that it may become grid-like.

[0023] Next, as the Prior art explained, the gate electrode wiring 3 is formed on this isolation insulator layer 2a at the same process as gate electrode formation of a CMOS transistor. This gate electrode wiring 3 as well as isolation insulator layer 2a will be formed in the shape of a grid. Here, the thickness of the gate electrode wiring 3 is about 300nm.

[0024] Next, the 1st interlayer insulation film 4 forms so that the whole may be covered. here -- chemical vapor deposition (CVD) with step coverage sufficient [this 1st interlayer insulation film 4] -- it deposits in law. And the wirebonding electrode 5 with which a front face serves as a concavo-convex configuration is formed on this 1st interlayer insulation film 4. It is formed at the process as formation of the 1st aluminum wiring layer which connects between semiconductor devices that this wirebonding electrode 5 is the same, and that thickness is about 1 micrometer.

[0025] Next, the passivation film 6 is formed by the SION film etc. And opening of the field on the wirebonding electrode 5 is carried out. Finally, a bonding wire 7 is joined to this wirebonding electrode 5 front face through the bonding ball 8.

[0026] In this case, the irregularity of the front face of the wirebonding electrode 5 comes to be formed with the lug of isolation insulator layer 2a, and the level difference of the gate electrode wiring 3. For this reason, the joint of the bonding ball 8 comes to have a still larger touch area from the case of JP,4-348047,A and JP,4-7446,A. And the adhesive strength of the wirebonding electrode 5 and the bonding ball 8 comes to improve.

[0027] Next, the case where connection of the semiconductor device is carried out by the two-layer aluminum wiring layer is explained. drawing 2 -- setting -- 1 -- a semi-conductor substrate, and 2 and 2a -- an isolation insulator layer and 3 -- gate electrode wiring and 4 -- for the 2nd interlayer insulation film and 5, as for the passivation film and 7, a wirebonding electrode and 6 are [the 1st interlayer insulation film and 9 / the 1st aluminum wiring layer and 10 / a bonding ball and 8] bonding wires. Here, the wirebonding electrode 5 consists of the 2nd aluminum wiring layer.

[0028] In addition, the top view of drawing 2 is the same as that of drawing 1 (a). That is, isolation insulator layer 2a and the gate electrode wiring 3 are formed in the shape of a grid.

[0029] Such a formation approach of the wirebonding polar zone of structure is the same as the approach mostly explained by drawing 1. In this case, a two-layer wiring layer is formed. That is, the 1st aluminum wiring layer 9 by which patterning was carried out is formed on the 1st interlayer insulation film 4. Here, the thickness of this 1st aluminum wiring layer 9 is set as about 500nm. And the 2nd interlayer insulation film 10 is formed so that this 1st aluminum wiring layer 9 may be covered. Furthermore, the wirebonding electrode 5 will be formed on this 2nd interlayer insulation film 10. Here, the wirebonding electrode 5 will be formed at the same process as formation of the 2nd aluminum wiring layer which connects a semiconductor device. Other formation processes are the same as that of drawing 1 R> 1 having completely explained.

[0030] In this case, the irregularity of the front face of the wirebonding electrode 5 comes to be formed with the lug of isolation insulator layer 2a, the level difference of the gate electrode wiring 3, and the level difference of the 1st aluminum wiring layer 9. For this reason, the joint of the bonding ball 8 comes to have a still larger touch area from the case of drawing 1. And the adhesive strength of the wirebonding electrode 5 and the bonding ball 8 comes to improve further.

[0031] With the gestalt of the above operations, isolation insulator layer 2a is selectively formed in the bottom of the wirebonding electrode 5. Thus, as for the semi-conductor substrate 1 and the semi-conductor substrate 1, isolation insulator layer 2a and ** which consisted of ingredients of a different kind come to constitute the bottom. For this reason, the absorptive power which absorbs the bonding shock added at the time of wirebonding becomes large, a semi-conductor substrate is damaged or it is lost that a crack arises in a semi-conductor substrate.

[0032] Next, the gestalt of operation of the 2nd of this invention is explained based on drawing 3.

Drawing 3 is another top view and the sectional view of the wirebonding polar zone. Here, drawing 3 (b) serves as a sectional view cut by C-D described in drawing 3 (a). In addition, the same thing as drawing 1 and drawing 2 is shown by the same sign.

[0033] drawing 3 -- setting -- 1 -- a semi-conductor substrate, and 2 and 2a -- an isolation insulator layer and 3 -- gate electrode wiring and 4 -- for the 2nd interlayer insulation film and 5, as for the passivation film and 7, a wirebonding electrode and 6 are [the 1st interlayer insulation film and 11 / a WSi wiring layer and 10a / a bonding ball and 8] bonding wires. Here, the WSi wiring layer 11 and the wirebonding electrode 5 are pasted up, and it is formed.

[0034] As shown in drawing 3 (a), isolation insulator layer 2a is formed like the gestalt of the 1st operation so that it may be shown in drawing 3 (b) and may protrude from the front face of the semi-conductor substrate 1 like, while being formed in the shape of a grid. In addition, the wirebonding electrode 5 is formed by the 1st aluminum wiring layer or the 2nd aluminum wiring layer.

[0035] Hereafter, the formation approach of the wirebonding polar zone of such structure is explained. Here, simple [of the same place as drawing 1] is carried out.

[0036] The isolation insulator layers 2 and 2a are selectively formed in the surface section of the semi-conductor substrate 1. Here, the upper part of the isolation insulator layers 2 and 2a is formed so that it may protrude in about 200nm from the front face of 1 of a semi-conductor substrate. Moreover, as shown in drawing 3 (a), the flat-surface configuration of the pattern of this isolation insulator layer 2a is formed so that it may become grid-like.

[0037] Next, the gate electrode wiring 3 is formed on this isolation insulator layer 2a at the same process as gate electrode formation of a CMOS transistor. This gate electrode wiring 3 as well as isolation insulator layer 2a will be formed in the shape of a grid. Here, the thickness of the gate electrode wiring 3 is about 400nm.

[0038] Next, the 1st interlayer insulation film 4 forms so that the whole may be covered. And the WSi wiring layer 11 from which a front face serves as a concavo-convex configuration is formed on this 1st interlayer insulation film 4. This WSi wiring layer 11 is formed at the same process as formation of the bit line of semiconductor memory, and that thickness is about 400nm.

[0039] Next, the wirebonding electrode 5 is formed so that this WSi wiring layer 11 may be pasted. This wirebonding electrode 5 is formed by the 1st aluminum wiring layer or the 2nd aluminum wiring layer etc. which connects a semiconductor device.

[0040] Next, the passivation film 6 is formed and opening of the field on the wirebonding electrode 5 is carried out. And a bonding wire 7 is joined to this wirebonding electrode 5 front face through the bonding ball 8.

[0041] In this case, it pastes up with the WSi wiring layer 11, and the wirebonding electrode 5 which consists of aluminum wiring layers is formed. Both the adhesive property of this WSi wiring layer 11 and the wirebonding electrode 5 and the adhesive property of the WSi wiring layer 11 and the 1st interlayer insulation film are dramatically high. For this reason, the bond strength of the wirebonding electrode 5 comes to improve substantially from the case where an aluminum wiring layer is formed on an interlayer insulation film.

[0042] For this reason, with the gestalt of the 2nd operation, the absorptive power which absorbs the bonding shock added at the time of wirebonding becomes still larger, a semi-conductor substrate is damaged or that a crack arises in a semi-conductor substrate becomes that there is nothing.

[0043]

[Effect of the Invention] As explained above, in the semiconductor device of this invention, an isolation insulator layer is selectively formed in the bottom of a wirebonding electrode. Thus, as for a semi-conductor substrate and a semi-conductor substrate, the isolation insulator layer and ** which consisted of ingredients of a different kind come to constitute the bottom.

[0044] For this reason, as point ** was carried out, the absorptive power which absorbs the bonding shock added at the time of wirebonding becomes large, a semi-conductor substrate is damaged or it is lost that a crack arises in a semi-conductor substrate.

[0045] Moreover, by this invention, the irregularity of the front face of a wirebonding electrode comes

to be formed with an isolation insulator layer lug, the level difference of the gate electrode wiring 3, the level difference of the 1st aluminum wiring layer 9, etc.

[0046] For this reason, it can form so that the touch area of a wirebonding electrode and a bonding ball joint may become larger. And the adhesive strength of a wirebonding electrode and a bonding ball comes to improve further.

[0047] Moreover, a wirebonding electrode pastes up with other adhesive high wiring layers, and is formed. Here, as for other wiring layers, an ingredient with a high adhesive property with an interlayer insulation film is chosen.

[0048] For this reason, the bond strength of the wirebonding electrode 5 comes to improve substantially from the case where an aluminum wiring layer is formed on an interlayer insulation film. Moreover, the absorptive power which absorbs the bonding shock added at the time of wirebonding in this case becomes large, a semi-conductor substrate is damaged or that a crack arises in a semi-conductor substrate becomes that there is nothing.

[0049] Irregularity is formed in the front face of a wirebonding electrode by the simple approach as mentioned above, and the semiconductor device which has the wirebonding polar zone strong against adhesive strength and a bonding shock can form now easily.

[Translation done.]